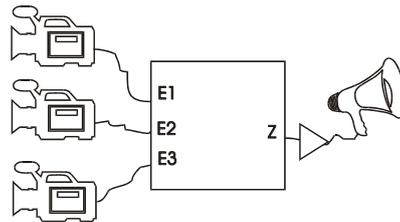


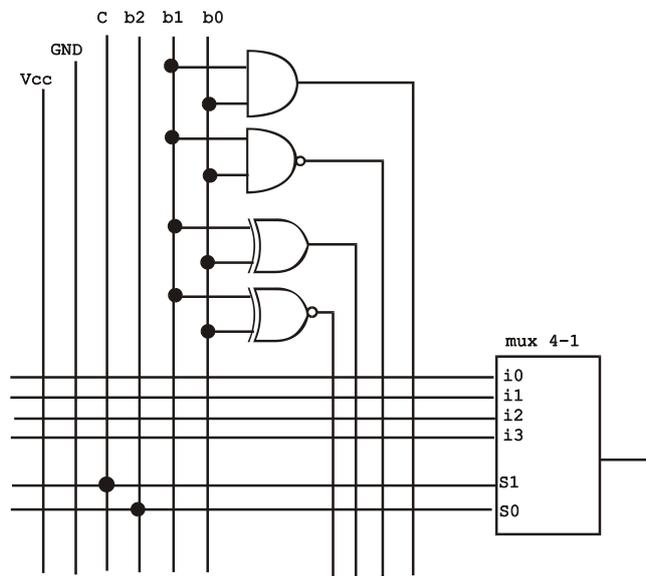
- Con puertas AND, OR e INV diseñe un: a) MUX 2-1, b) MUX 4-1, y c) MUX 8.
- Un sistema de seguridad incluye 3 circuitos de monitorización idénticos que apuntan a una misma zona, cuyas salidas son E1, E2 y E3. Éstas se ponen independientemente a "1", si detectan movimiento. Para evitar falsas alarmas, se pide diseñar un circuito de alarma con votación, cuya salida Z sea "1" cuando 2 o más de las señales E1, E2 y E3 se activen. Diseñe el circuito con: a) un Mux 8-1; b) un Mux 4-1 y c) un Mux 2-1 y puertas adicionales



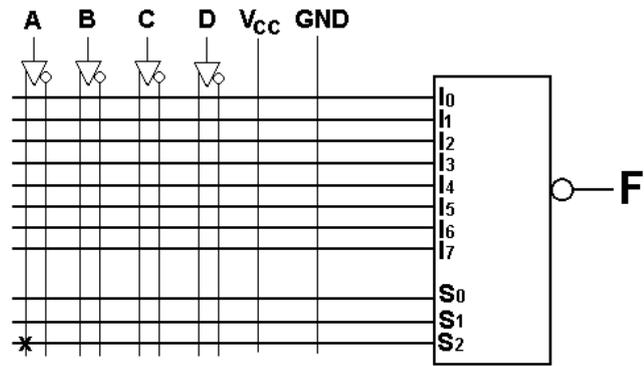
- Diseñar con MUX 2-1 los siguientes circuitos: a) MUX 4-1, b) MUX 8-1 y c) MUX 16-1.
- Con un MUX 4-1 diseñe una puerta a) XOR, b) AND y c) OR.
- Se quiere detectar la paridad de un mensaje de tres bits (b2, b1 y b0) de tal forma que cuando una línea de control C, esté a '0', se indique paridad par y cuando C = '1', se indique paridad impar. Sintetice el circuito utilizando el multiplexor 4-1 y el mínimo número de puertas de la figura. Indique las conexiones con un punto ó una X. NOTAS: Paridad par: cuando la cantidad de "1" de una palabra es un número par (por ejemplo, el número 3 es impar – no es divisible por 2 - pero tiene paridad par: 2 unos). Se considera que el cero es par.



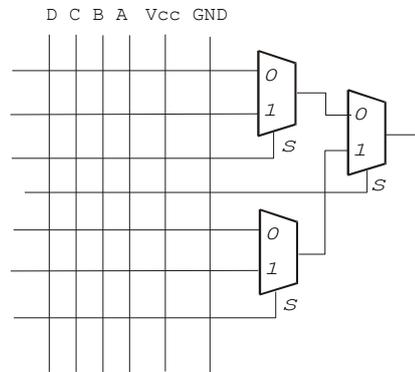
C	b2	b1	b0	F
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	



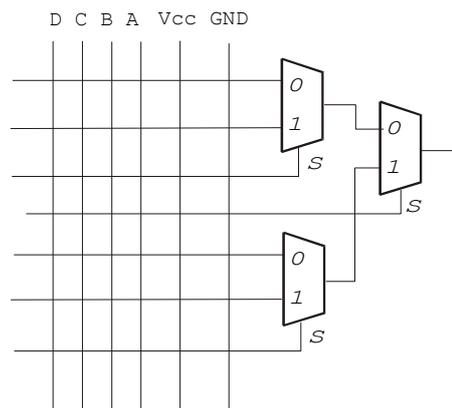
- Con un multiplexor 8 a 1 y entrada de habilitación (*enable*) activa a nivel alto, implementar la función lógica que detecta los números primos entre el 1 y el 31. (NOTA: las entradas de control del multiplexor van conectadas a las líneas de mayor peso del número de entrada. Pueden utilizarse inversores, si fuera necesario).
- Dada la función $F(ABCD) = \Sigma (0,2,5,8,10,12,14)$, se pide: realizar dicha función utilizando el multiplexor 8-1 con salida activa en bajo de la figura. Para ello realice las conexiones correspondientes señalando con una x las conexiones activas. A es el MSB.



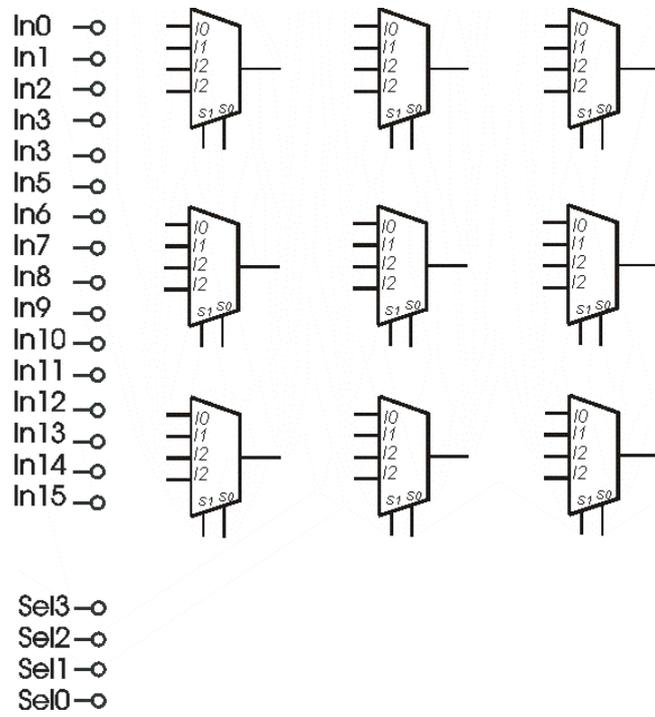
8. Los multiplexores 2-1 de la figura tienen una señal de control S y dos entradas (S=0 hace que la entrada indicada como 0 pasa a la salida). Se pide Implementar la función lógica $F(D, C, B, A) = \neg DCBA + DCB/A + DC/BA + DCBA$ completando las conexiones en la figura. La variable D es la más significativa. Indique con una x los cables que deben quedar unidos. El signo / significa variable negada. No confunda /DC con $\neg(DC)$.



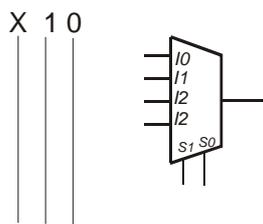
9. Los multiplexores 2-1 de la figura tienen una señal de control S y dos entradas (S=0 hace que la entrada indicada como 0 pasa a la salida). Se pide Implementar la función lógica $F(D, C, B, A) = DC + DB + CA$ completando las conexiones en la figura. La variable D es la más significativa. Indique con una x los cables que deben quedar unidos.



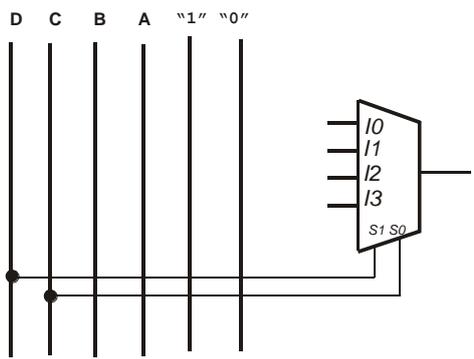
10. En la figura se muestran 9 multiplexores 4-1. Se pide conectarlos entre si y con las 16 entradas: $in_0, in_1, in_2, \dots, in_{15}$ y las señales de selección: sel_3, sel_2, sel_1 y sel_0 , de manera de conseguir un multiplexor 16-1. Deje sin conectar lo que no le haga falta y no olvide indicar cuál es la salida Z del circuito final.



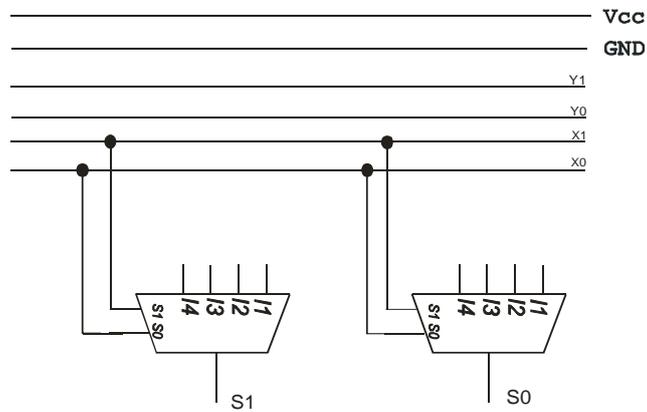
11. En la figura se muestra un multiplexor 4-1, una línea con una señal X y dos líneas adicionales con "1" y "0" lógicos. Realice las conexiones correspondientes de manera que la salida del multiplexor sea X negado.



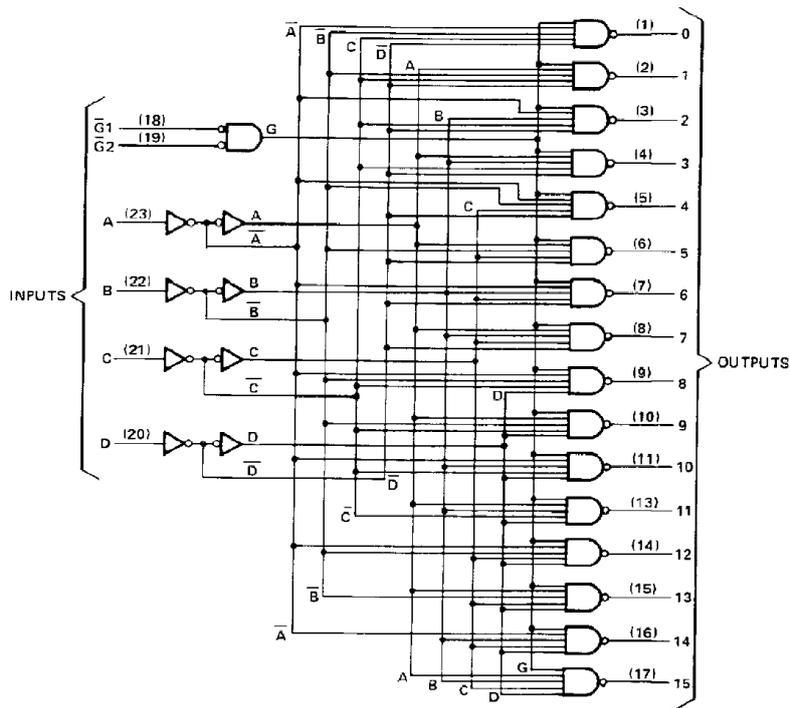
12. Se pide implementar la función lógica: $F(D, C, B, A) = \overline{D} \overline{C} B A + \overline{D} C B A + D \overline{C} B A + D \overline{C} \overline{B} A$. Donde / significa variable negada. Complete las conexiones en la figura. La variable D es la más significativa. Indique con una x los cables que deben quedar unidos. Agregue puertas si son necesarias.



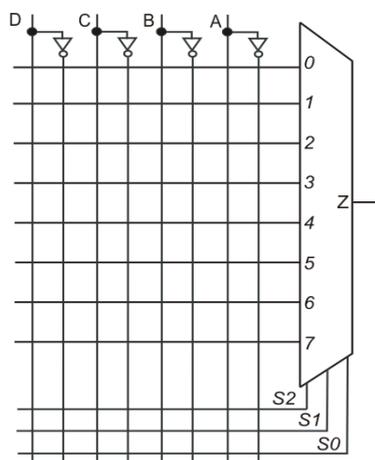
13. Se quiere realizar un circuito sumador para números de dos bits ($X_1X_0 + Y_1Y_0$). Utilizando dos multiplexores 4-1, se pide diseñar un circuito para calcular sólo los dos bits de menos peso del resultado de la suma $S_2S_1S_0$. Utilizar obligatoriamente las señales X_1X_0 como entradas de control (X_1 al control de mayor peso). Añadir el mínimo número de puertas lógicas que considere necesarias.



14. Hallar la tabla de verdad del siguiente circuito demultiplexor (tipo 74xx154). Para simplificar la tabla, observe que $\bar{G}1$ y $\bar{G}2$ son señales de control. Puede verificar su resultado con la hoja de datos de *Texas Instrument* (busque 74HC154 en la *www*).



Utilizando el MUX 8-1 de la figura detectar números primos. D es el MSB. Conecte D a S2, C a S1 y B a S0.



15. Repita el ejercicio anterior pero ahora conecte A a S2, B a S1 y C a S0.



16. Un/una estudiante inexperto/a de circuitos digitales decide realizar la función $F(DCBA) = \Sigma(0,2,5,8,10,12,14)$, donde D es el MSB, con el multiplexor 8-1 de la figura, cuya salida tiene un inversor (es activo-bajo). Pero además, este diseñador/a conecta la variable A (la LSB de la función) a la entrada S2 (la MSB del multiplexor). Completar el circuito de la figura indicando las conexiones entre los cables mediante una x. La solución NO debe incluir un inversor adicional a la salida.

